

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03254133 A**

(43) Date of publication of application: **13.11.91**

(51) Int. Cl.

H01L 21/339

H01L 27/148

H01L 29/796

H04N 5/335

(21) Application number: **02052494**

(71) Applicant: **MATSUSHITA ELECTRON CORP**

(22) Date of filing: **02.03.90**

(72) Inventor: **OISHI HIROSHI
KURIYAMA TOSHIHIRO**

(54) **ELECTRIC CHARGE DETECTOR**

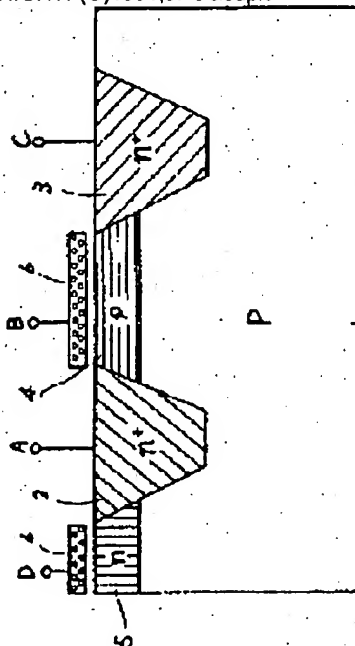
(57) Abstract:

PURPOSE: To reduce a fluctuation of a threshold value for doing without any adjustments of a reference voltage to be applied to a gate of a transistor by using a surface channel-type MOS transistor as a signal charge detector.

CONSTITUTION: On one and the same semiconductor substrate, a signal charge transfer section, a signal charge detector and a signal charge discharger are installed. At this time, the signal charge detector is made up of a surface channel-type MOS transistor. The surface channel-type MOS transistor is a p-type silicon substrate 1 on which an n-type area 2 and an n-type area 3 are formed as a source A and a drain C respectively with a p-type threshold value control area 4 formed between the source and the drain on the surface of the silicon substrate 1. Gate electrodes 6 are formed as gates B and D above the threshold value control area 4 and an n-type buried channel 5 which is connected to the n-type area 2 working as the source A. Consequently, a fluctuating of a threshold value of the transistor functioning as the signal charge detector gets smaller, resulting in no requirement of adjustments of a

reference voltage to be applied to the gate B.

COPYRIGHT: (C)1991,JPO&Japio



⑫ 公開特許公報(A)

平3-254133

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月13日

H 01 L 21/339
27/148
29/796
H 04 N 5/335

E

8838-5C
8122-5F
8122-5F

H 01 L 29/76
27/14

3 0 1 C
B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 電荷検出装置

⑮ 特 願 平2-52494

⑯ 出 願 平2(1990)3月2日

⑰ 発 明 者 大 石 浩 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑰ 発 明 者 栗 山 俊 寛 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑱ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 森本 義弘

明 細 書

1 発明の名称

電荷検出装置

2 特許請求の範囲

1 同一半導体基板上に、信号電荷転送部と、信号電荷検出部と、信号電荷排出口とが構成されてなる電荷検出装置であって、上記信号電荷検出部を表面チャネル型MOSトランジスタで構成した電荷検出装置。

3 発明の詳細な説明

産業上の利用分野

本発明は、固体撮像装置に用いることができる電荷検出装置に関するものである。

従来の技術

近年、固体撮像装置の実用化に伴って電荷検出装置に対する要求が多くなってきている。たとえば、電荷検出装置のリセットトランジスタに加えるリセットパルスの基準電位の無調整化もその一つである。

従来技術では、リセットトランジスタに、埋込

み型チャネルを使い、しきい値の変動に対して、それに応じてゲートに印加する基準電位を調整するようにしていた。

以下、図面を参照しながら従来の電荷検出装置について説明する。

第2図は、従来の電荷検出装置のリセットトランジスタの断面図を示すものである。

第2図において、11はp型シリコン基板、12は埋込みチャネルを形成するn型領域、13はソース部を形成するn型領域、14はドレイン部を形成するn型領域、15はゲート電極である。

以上のように構成された電荷検出装置のリセットトランジスタの動作について、第3図に基づき説明する。

第3図において、Aはソース部、Bはリセットトランジスタのゲート部、Cはドレイン部、Dはアウトプットゲート部を示している(第2図も同様である)。なお、第3図(a)は、リセットトランジスタのゲートがオフ状態のときを示し、第3図(b)ではオン状態になったときを示している。

まず、第3図(a)に示すように、リセットトランジスタのゲート部Bがオフ状態のとき、アウトプットゲート部Dから流れてきたキャリアは、ソース部Aに蓄積される。

次に、第3図(b)に示すように、リセットトランジスタのゲート部Bがオン状態になったとき、ソース部Aに蓄積されたキャリアは、リセットトランジスタのゲート部Bを通過して、ドレイン部Cに流れ込む。また、リセットトランジスタに加えるパルスは外部の回路により、5V振幅に制限されているので、ゲート部Bに基準電圧がかかっているときオフ状態、5V振幅のパルスが加わったときオン状態になっていなければならない。たとえば、基準電圧が3Vのとき、トランジスタはオフ状態、振幅5Vのパルスが加えられて8Vになったとき、オン状態にならない。

発明が解決しようとする課題

しかしながら、上記従来の構成によると、リセットトランジスタのゲート部Bの不純物分布およびゲート酸化膜厚のわずかな変化に対して、しき

い値電圧が大きく変動する。たとえば、n型埋込みチャネルを形成するための注入量が10%減少すれば、しきい値電圧は-7Vから-5.5Vになり、約1.5V減少する。同様に注入量が10%増加すれば、約1.5V増加することになる。結局、しきい値電圧は-7Vを中心に約3Vの範囲で変動することになる。一方、リセットトランジスタのゲート部Bに加わるパルスは5V振幅であり、リセットトランジスタのソース部が約3V変化すると仮定すると、このリセットトランジスタは、基準電圧を固定しておく、正確にオン、オフしない状態に陥ってしまうことがある。このため、外部から、リセットトランジスタのゲート部Bに印加する基準電圧を、しきい値電圧の変動を吸収するように、それぞれのしきい値電圧に対して設定しなければならないという問題を有していた。

そこで、本発明は上記問題に鑑み、リセットトランジスタのゲート部の不純物分布やゲート酸化膜厚の製造過程でのプロセスパラメータの要因による変動に対して、しきい値が相対的に変動しな

いリセットトランジスタを有する電荷検出装置を提供することを目的とする。

課題を解決するための手段

上記課題を解決するため、本発明の電荷検出装置は、同一半導体基板上に、信号電荷伝送部と、信号電荷検出部と、信号電荷排出部とが形成されてなる電荷検出装置であって、上記信号電荷検出部を表面チャネル型MOSトランジスタで構成したものである。

作用

上記の構成によると、信号電荷検出部としてのリセットトランジスタのしきい値の変動が少なくなり、ゲートに印加する基準電圧の調整をする必要がなくなる。

実施例

以下、本発明の一実施例を図面に基づき説明する。

第1図は、同一半導体基板上に、信号電荷伝送部と、信号電荷検出部と、信号電荷排出部とが形成されてなる電荷検出装置の上記信号電荷検出部

の断面図である。

すなわち、電荷検出装置の信号電荷検出部としては、表面チャネル型MOSトランジスタ（以下、リセットトランジスタという）が用いられている。このリセットトランジスタは、p型シリコン基板1に、ソース部Aとしてのn型領域2およびドレイン部Cとしてのn型領域3が形成されるとともに、シリコン基板1表面のソース・ドレイン間にp型しきい値制御領域4が形成されたものである。このしきい値制御領域4、およびソース部Aであるn型領域2に接続するn型埋込みチャネル5の上方には、それぞれゲート部B、Dとしてのゲート電極6が形成されている。

次に、上記電荷検出装置の駆動方法を第3図に基づき説明する。なお、第3図(a)はリセットトランジスタのゲート部Bがオフ状態で、ソース部Aに電荷が蓄積されている状態を示し、第3図(b)はゲート部Bがオン状態となり、ソース部Aの電荷が全てドレイン部Cに流れ込んでいる状態を示している。

まず、第3図(a)に示すように、リセットトランジスタのゲート部Bがオフ状態のとき、アウトプットゲート部Dから流れてきたキャリアはソース部Aに蓄積される。

この場合、リセットトランジスタのソース部Aに電荷が最大に蓄積されたときのA点での電位を $a(V)$ 、またリセットトランジスタのしきい値電圧を $V_T(V)$ とすると、ゲート部Bに印加する電圧 $b(V)$ は $b(V) < |a(V) - V_T(V)|$ となる。

次に、第3図(b)に示すように、リセットトランジスタのゲート部Bがオン状態になったとき、ソース部Aに蓄積されたキャリアは、リセットトランジスタのゲート部Bを通して、ドレイン部Cに流れ込む。この場合、ソース部Aに電荷が存在しないときのA点での電位を $d(V)$ とすると、ゲート部Bに印加する電圧 $e(V)$ は $e(V) > |d(V) + V_T(V)|$ となる。

ここで、表面チャネル型MOS(E型およびD型)のしきい値電圧は、 $-0.5V \sim 1V$ の範囲内にあるので、たとえばゲートがオフ状態のとき、ソ

ース部Aの電位 $a(V)$ が $14V \sim 12V$ であるとする、ゲート部Bに印加する電圧 $b(V)$ は約 $11V$ 以下にすればよく、またゲートがオン状態のとき、ソース部Aの電位 $d(V)$ は $14V$ であるので、ゲート部Bに印加する電圧 $e(V)$ は約 $15V$ 以上にすればよい。

結局、リセットトランジスタのゲートに印加する電位のオン状態とオフ状態のときの差を $5V$ 以内にすれば、正常に動作することになる。

従来技術と比較すれば、リセットトランジスタのゲート部Bに印加する電圧はオン状態のとき、1例として従来技術では $10V \sim 15V$ であったのが、本発明によれば $15V \pm 1V$ となる。

このように、リセットトランジスタを表面チャネル型MOS構造にすることにより、リセットトランジスタのゲートに加えるパルスの振幅を $5V$ にした状態で、基準電圧を無調整化することができる。

なお、上記実施例ではp型シリコン基板上にリセットトランジスタを形成させたが、n型シリコン基板上に形成されたp型ウェルの場合でも同様の

効果が得られる。また、上記実施例では、電荷検出部をPN接合によって形成したが、フローティングゲート構造で形成させても同様の効果が得られる。

発明の効果

以上のように、本発明の構成によれば、電荷検出装置の信号電荷検出部として表面チャネル型MOSトランジスタを用いたので、製造過程の変動に対する不純物分布やゲート酸化膜厚のずれによるしきい値の変動をなくし、トランジスタのゲート部に印加する基準電圧を一定にすることができる。

4 図面の簡単な説明

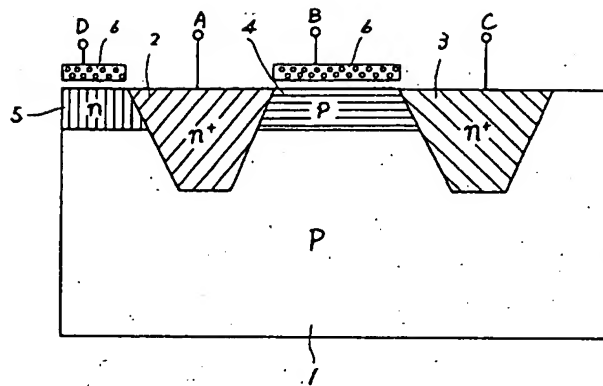
第1図は本発明の一実施例における電荷検出装置のリセットトランジスタの断面図、第2図は従来の電荷検出装置のリセットトランジスタの断面図、第3図(a)および(b)はリセットトランジスタの動作を説明するための電位分布図である。

1…p型シリコン基板、2、3…n型領域、4…p型しきい値制御領域、5…n型埋込みチャ

ネル、6…ゲート電極、A…ソース部、B…ゲート部、C…ドレイン部。

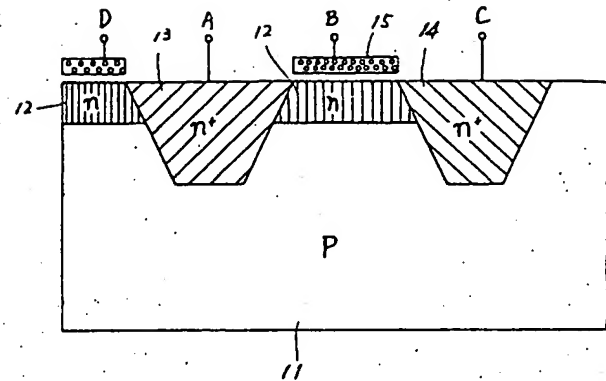
代理人 森本 義弘

第1図



- 1 ... P型シリコン基板
 2, 3 ... n型領域
 4 ... P型しきい値制御領域
 5 ... n型埋込チャンネル
 6 ... ゲート電極
 A ... ソース部
 B ... ゲート部
 C ... ドレイン部

第2図



第3図

